

T S2/5/1

2/5/1

DIALOG(R) File 347:JAPIO

(c) 2004 JPO & JAPIO. All rts. reserv.

06589366 **Image available**

VIDEO SIGNAL PROCESSOR

PUB. NO.: 2000-175159 [JP 2000175159 A]
PUBLISHED: June 23, 2000 (20000623)
INVENTOR(s): OTOME TAKASHI
APPLICANT(s): MATSUSHITA ELECTRIC IND CO LTD
APPL. NO.: 10-343907 [JP 98343907]
FILED: December 03, 1998 (19981203)
INTL CLASS: H04N-007/01; H04N-007/32

ABSTRACT

PROBLEM TO BE SOLVED: To prevent the deterioration of picture quality owing to the discrimination of a picture by providing a means for switching sequential scanning conversion into interpolation or inter-field interpolation in a field in a sequential scanning conversion means based on the result of a means that discriminates the movement of a picture signal within one field.

SOLUTION: A discriminating part 12 detects discriminates the pattern of a picture by using a movement detection signal delayed by one field by a field memory 11 and the output signal of a movement correction circuit 8. The movement detection signal outputted by the judgment part 12 switches interpolation by an inter-line operation in the field or interpolation by an inter-field operation within two fields in accordance with the level of the movement signal by a mixing circuit 6. Video signals interpolated in time compression circuits 7 and 9 are compressed to 1/2 of horizontal time and are alternately outputted by a selector 10. Then, the deterioration of picture quality owing to picture discrimination can be prevented by detecting movement within one field.

COPYRIGHT: (C) 2000, JPO

?

T S2/5/1

2/5/1

DIALOG(R) File 351:Derwent WPI

(c) 2004 Thomson Derwent. All rts. reserv.

013306512 **Image available**

WPI Acc No: 2000-478449/200042

XRPX Acc No: N00-356601

Video signal processor for digital television, has switch which changes conversion order of data fields based on active signals recognized within interpolation field

Patent Assignee: MATSUSHITA DENKI SANGYO KK (MATU)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 2000175159	A	20000623	JP 98343907	A	19981203	200042 B

Priority Applications (No Type Date): JP 98343907 A 19981203

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 2000175159	A	5	H04N-007/01	

Abstract (Basic): JP 2000175159 A

NOVELTY - The active detection signals within unit field of video signal is identified. The identified signal is converted into interface signals orderly by a signal converter. The interface signal is converted orderly. A switch changes the conversion order with respect other data fields, based on the active signals recognized within interpolation field.

USE - For digital television.

ADVANTAGE - Prevents incorrect discrimination of video signal, by converting the interface signal to scanning signal orderly.

DESCRIPTION OF DRAWING(S) - The figure shows the block diagram of video signal processor.

pp; 5 DwgNo 1/4

Title Terms: VIDEO; SIGNAL; PROCESSOR; DIGITAL; TELEVISION; SWITCH; CHANGE; CONVERT; ORDER; DATA; FIELD; BASED; ACTIVE; SIGNAL; INTERPOLATION; FIELD

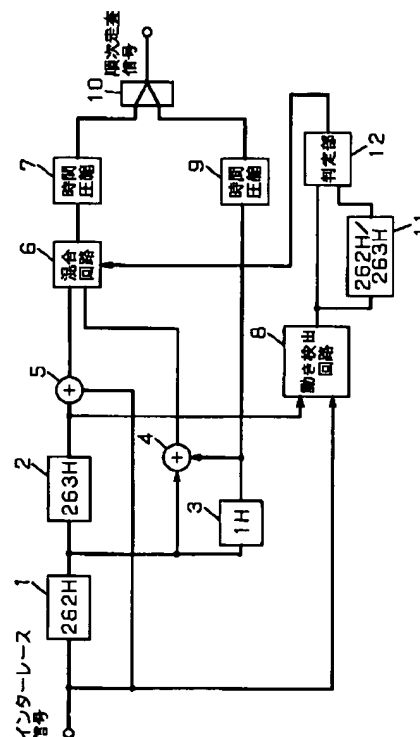
Derwent Class: W02; W03; W04

International Patent Class (Main): H04N-007/01

International Patent Class (Additional): H04N-007/32

File Segment: EPI

?



【特許請求の範囲】

【請求項1】 インターレース信号を順次走査変換する手段と、前記インターレース信号を順次走査変換する手段から発生する動き検出信号を1フィールド保持する手段と、前記インターレース信号を順次走査変換する手段から発生する動き検出信号と前記インターレース信号を順次走査変換する手段から発生する動き検出信号を1フィールド保持する手段から映像信号の1フィールド以内の動きを判定する手段と、映像信号の1フィールド以内の動きを判定する手段の結果をもとに前記順次走査変換部手段において順次走査変換をフィールドの内補間またはフィールド間補間に切り換える手段を具備する映像信号処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はテレビジョン信号の映像信号処理装置に関するものであり、特にインターレース信号を順次走査信号に変換する映像信号処理装置に関するものである。

【0002】

【従来の技術】近年、開発が進められているデジタルテレビ等において、受像器側で送信されたNTSC等のインターレース信号を一度順次走査に変換することが行われている。これは、画面上でフリッカが低減し、垂直解像度が向上されるためである。また、あらかじめ順次走査で送られてくるパーソナルコンピュータ等の映像信号との共用という点でも順次走査変換技術は必須となってきた。

【0003】このために、テレビジョン信号をインターレース信号から順次走査信号に変換するための信号処理回路が必要になる。このような映像信号処理装置においては特公平8-32025号公報に示されているが、ここでは図3を用いてその従来例を説明する。

【0004】図3において、インターレース信号が入力されたと考えて、21は映像信号を262ライン遅延させるフィールドメモリ、22は映像信号を263ライン遅延させるフィールドメモリ、23は映像信号を1ライン遅延させるラインメモリ、24及び25は加算器、28は当該画素と525ライン（1フレーム）前の画素から差分を取ることににより静止または動きのある映像と判定した場合に動き判定結果を出力する動き検出回路、26は動き検出回路28の結果をもとに加算器25と加算器24の信号を選択及び混合する混合回路、27及び29は入力された映像信号を入力水平同期信号の半分の時間で出力する時間圧縮回路、30は時間圧縮回路27及び29の出力を交互に選択することで順次走査信号に変換するための選択器である。このような従来の映像信号処理装置について、その動作を以下に説明する。

【0005】入力されたインターレース信号はまずフィールドメモリ21とフィールドメモリ22により遅延さ

れる。次に、加算器25により当該信号とフィールドメモリ21とフィールドメモリ22により525ライン遅延された信号が加算され混合回路26へ送られる、次にフィールドメモリ21で262ライン遅延された信号はさらにラインメモリ23により1ライン遅延され、加算器24によりフィールドメモリ21の出力と加算され、混合回路26に送られる。当該信号とフィールドメモリ21とフィールドメモリ22により525ライン遅延された映像信号はさらに動き検出回路28に入力する。動き検出回路28においては2つの映像信号の差分を取ることでもし映像が静止画の場合は差が0となり、映像が動画の場合は動画に応じた検出信号を出力する。この動き検出信号は混合回路26により動き信号のレベルに応じてフィールド内でのライン間演算による補間か2フィールド内でのフィールド間演算による補間かを切り換えている。次に、時間圧縮回路27と29において補間された映像信号は1/2の水平時間に圧縮され、切替器30により交互に出力されることで入力されたインターレース信号は順次走査信号に変換される。

【0006】図4を用いてさらに説明すると図3において白丸は入力された映像信号白三角は補間された信号をあらわしており、ある第nラインにおいて補間信号n2はn1とn3により動き検出信号が作られ、この動き検出信号に基づいて12、m2、n1、n3の組み合わせによりn2の補間信号が作られる。すなわち、12、n2の場合はフィールド間による補間、n1、n3の場合はフィールド内の補間になる。これにより、入力されたインターレース信号はライン数が2倍となり順次走査信号に変換される。

【0007】

【発明が解決しようとしている課題】しかしながら、従来の方式では動き検出回路において2フィールド間の差分を取るために、入力信号で1フィールドの動きが生じた場合に実際は動画であるのに静止画と判定する検出漏れが発生し、映像に著しい劣化が生じる。これを図2(a)を用いてもう少し詳しく説明する。

【0008】図2(a)において四角い枠が入力されたインターレース信号の1フィールド分の映像を表し、手前側に時間の経過を示している。この場合、本従来例では斜線で示した映像のみがカメラのストロボが一瞬たかれるような映像であった場合に前後の映像は同一のものであるとき、静止画と判定されてしまう。このため、静止画の場合はフィールド間の補間、すなわち12とm2を元に補間信号を作成することで順次走査された映像信号の垂直解像度を向上させるが、実際には無関係な映像信号を補間信号として挿入するためカメラのストロボがたかれた映像では白い横縞が見えることとなる。

【0009】

【課題を解決するための手段】前記課題を解決するために、本発明の映像信号処理装置は動き検出信号結果を1

フィールド間保持し、特定のパターンを判定することで、1フィールド以内の動きを検出し、映像が静止画であると判定するために起こる画質の劣化を防止する。

【0010】

【発明の実施の形態】本発明は、インターレース信号を順次走査変換する手段と、前記インターレース信号を順次走査変換する手段から発生する動き検出信号を1フィールド保持する手段と、前記インターレース信号を順次走査変換する手段から発生する動き検出信号と前記インターレース信号を順次走査変換する手段から発生する動き検出信号を1フィールド保持する手段から映像信号の1フィールド以内の動きを判定する手段と、映像信号の1フィールド以内の動きを判定する手段の結果をもとに前記順次走査変換部手段において順次走査変換をフィールドの内補間またはフィールド間補間に切り換える手段とを具備することを特徴とし、カメラのフラッシュがたかれるような1フィールド以内の映像の変化を検出し、静止画への誤判定をした場合に映像の劣化を低減させることを目的とする。

【0011】以下に、本発明の実施の形態について図1、図2を用いて説明する。図1において、1は映像信号を262ライン遅延させるフィールドメモリ、2は映像信号を263ライン遅延させるフィールドメモリ、3は映像信号を1ライン遅延させるラインメモリ、4及び5は加算器、8は当該画素と525ライン（1フレーム）前の画素から差分を取ることで静止または動きのある映像と判定した場合に動き判定結果を出力する動き検出回路、11は動き検出回路8からの出力を262ラインまたは263ライン遅延させるフィールドメモリ、12は動き検出回路8からの出力とフィールドメモリ11の出力から特定のパターンを検出する判定部、6は判定部12の結果をもとに加算器5と加算器4の信号を選択及び混合する混合回路、7及び9は入力された映像信号を入力水平同期信号の半分の時間で出力する時間圧縮回路、10は時間圧縮回路7及び9の出力を交互に選択することで順次走査信号に変換するための選択器である。このような回路に基づいた映像信号処理装置について実施例を以下に説明する。

【0012】入力されたインターレース信号はまずフィールドメモリ1とフィールドメモリ2により遅延される。次に、加算器5により当該信号とフィールドメモリ1とフィールドメモリ2により525ライン遅延された信号が加算され混合回路6へ送られる、次にフィールドメモリ1で262ライン遅延された信号はさらにラインメモリ3により1ライン遅延され、加算器4によりフィールドメモリ1の出力と加算され、混合回路6に送られる。当該信号と525ライン遅延された映像信号はさらに動き検出回路8に入力する。動き検出回路8においては2つの映像信号の差分を取ることでもし映像が静止画の場合は差が0となり、映像が動画の場合は動画に応じ

た動き検出信号を出力する。動き検出回路8からの動き検出結果はフィールドメモリ11により1フィールド遅延され判定部12に入力される。判定部12では有る特定のパターンに従って切り替え信号を発生する。

【0013】このパターン判定を図2に示す。図2は四角い枠がインターレース信号が送られてくる様子を図示したものであり、手前側に時間が経過していると考えられる。この内、四角い枠は静止画であり同じ映像が送られてくる。また、斜線の四角い枠動画を表し、特にカメラのフラッシュ等がたかれるような瞬間の動画を考える。a)は動画が1フィールドで終了する場合。b)は動画が2フィールドで終了する場合である。

【0014】まず、a)のような入力信号の場合、動き検出回路8で1フレーム差分による動き検出を行うと、動き検出結果は「静(1)→動(2)→静(3)→動(4)→静(5)」となる。ここで、静は静止画判定、動は動画判定とする。静(3)に注目すると、斜線の四角い枠の前後の映像信号の差分から静止画判定を行うため、動き検出回路8だけでは、入力する映像が実際は動画であるにもかかわらず静止画と判定されてしまう。このため、混合回路6では垂直解像度を向上させるために1フィールド前の映像信号をもとに補間信号を作成するので、フラッシュの映像に通常の静止画像が挿入されるために、1本おきに縞縞の映像が表示され映像の品位が著しく低下する。

【0015】そこで、判定部12は、フィールドメモリ11により1フィールド遅延させた動き検出信号と、動き補正回路8の出力信号とを用いて、「動→静」のパターンを検出し動画と判定する。これにより、a)の入力信号は「静(1)→動(2)→動(3)→動(4)→静(5)」と判定され、映像品位の低下を防ぐことができる。

【0016】なお、b)のような入力信号の場合、動き検出回路8で1フレーム差分による動き検出を行うと、動き検出結果は「静(6)→動(7)→動(8)→動(9)→動(10)→静(11)」である。この場合、動(8)及び動(9)に注目すると、斜線の四角い枠の前後の映像信号の差分から動画判定を行うため、判定部12の出力結果は、「静(6)→動(7)→動(8)→動(9)→動(10)→動(11)」となる。この判定結果の内、動(11)は誤判定ではあるが、自フィールド内で補間信号を作成するために垂直解像度は向上しなくても、映像の品位が低下することはない。

【0017】判定部12で出力された動き検出信号は混合回路6により動き信号のレベルに応じてフィールド内でのライン間演算による補間か2フィールド内でのフィールド間演算による補間かを切り換えている。次に、時間圧縮回路7と9において補間された映像信号は1/2の水平時間に圧縮され、切替器10により交互に出力されることで入力されたインターレース信号は順次走査信

号に変換される。

【0018】

【発明の効果】以上のように本発明によれば、インターレース信号を順次走査信号に変換する映像信号処理装置において、1フィールド以内に映像が動く映像により動き検出回路の誤判別が生じて、順次走査された映像が劣化することなく表示出来ることが出来る。

【図面の簡単な説明】

【図1】本発明の請求項2の実施例における映像信号処理装置のブロック図

【図2】本発明の請求項2の実施例における判定部の判定方法を示す図

【図3】従来の映像信号処理装置の一例を示すブロック図

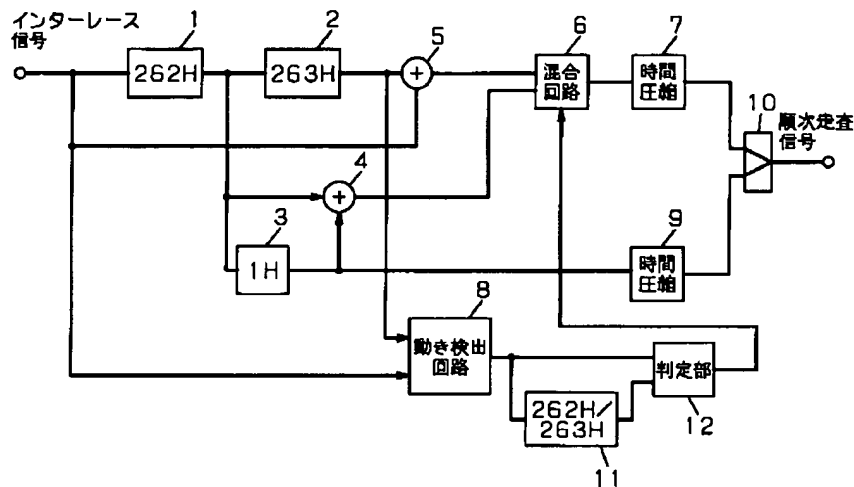
【図4】従来の映像信号処理装置補間画素を示す図

【符号の説明】

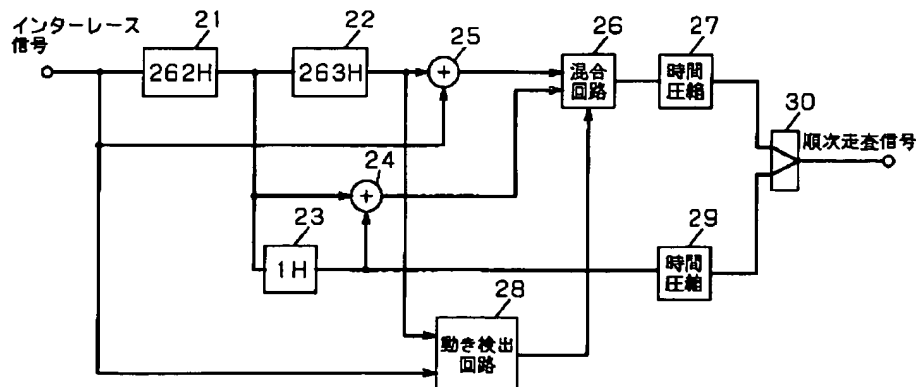
- 1 フィールドメモリ
- 2 フィールドメモリ
- 3 ラインメモリ

- 4 加算器
- 5 加算器
- 6 混合回路
- 7 時間圧縮部
- 8 動き検出回路
- 9 時間圧縮部
- 10 選択器
- 11 フィールドメモリ
- 12 判定部
- 21 フィールドメモリ
- 22 フィールドメモリ
- 23 ラインメモリ
- 24 加算器
- 25 加算器
- 26 混合回路
- 27 時間圧縮部
- 28 動き検出回路
- 29 時間圧縮部
- 30 選択器

【図1】



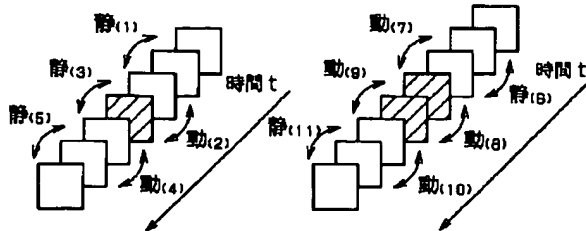
【図3】



【図2】

(a) 1フィールドの時

(b) 2フィールドの時

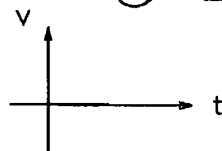
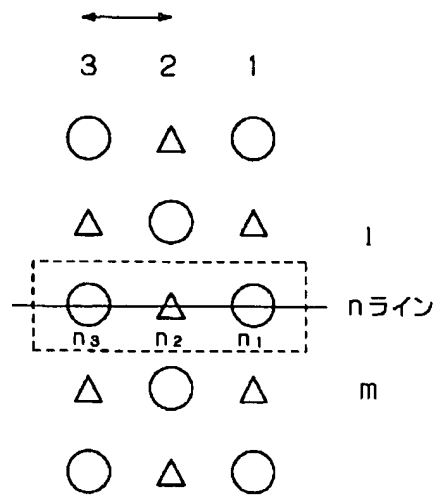


(a) 静(1) → 動(2) → 静(3) → 動(4) → 静(5)

(b) 静(6) → 動(7) → 動(8) → 動(9) → 動(10) → 静(11)

【図4】

$1/60\text{ s}$



○ : 入力信号

△ : 補間信号